

(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020030052665 A
(43)Date of publication of application: 27.06.2003

(21)Application number: 1020010082688
(22)Date of filing: 21.12.2001

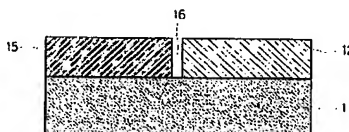
(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: CHOI, SEON HO

(51)Int. Cl. H01L 21/027

(54) METHOD FOR FORMING NANO-SIZE SPACE PATTERN

(57) Abstract:

PURPOSE: A method for forming a nano-size space pattern is provided to be capable of reducing fabrication cost and manufacturing time by using the wet etching selectivity ratio of oxide layers without using high cost equipment.



CONSTITUTION: The first oxide layer(12) having a low wet etching rate, is formed on a silicon substrate (11). The first oxide layer is selectively etched by using a photoresist pattern as a mask. After removing the photoresist pattern, the second oxide layer having a high wet etching rate, is formed on the entire surface of the resultant structure. The spacer type second oxide layer is formed at the sidewall of the first oxide layer by selectively etching the second oxide layer. The third oxide layer(15) having a low wet etching rate, is formed on the resultant structure. A planarization is carried out on the resultant structure for selectively removing the third oxide layer. A space pattern(16) is formed by removing only the spacer type second oxide layer located between the first and third oxide layer using the wet etching selectivity ratio of the oxide layers.

COPYRIGHT KIPO 2003

Legal Status

Date of final disposal of an application (00000000)

Date of registration (00000000)

Date of opposition against the grant of a patent (00000000)

BEST AVAILABLE COPY

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H01L 21/027(11) 공개번호 특2003-0052665
(43) 공개일자 2003년06월27일

(21) 출원번호	10-2001-0082688
(22) 출원일자	2001년 12월 21일
(71) 출원인	주식회사 하이닉스반도체
(72) 발명자	경기 이천시 부발읍 아미리 산136-1 최선호
(74) 대리인	인천광역시 부평구 부평1동 동마아파트13/504 강성배

심사청구 : 있음

(54) 나노 크기의 스페이스 패턴 형성 방법

요약

본 발명은 나노 크기의 금속 배선 패턴 형성 방법에 관한 것으로서, 산화막의 습식 식각 선택비와 산화막 측벽 스페이스를 이용함으로써 고가의 비광학 장비를 이용할 필요없이 기존의 광학 장비를 그대로 사용할 수 있다. 본 발명에 따르면, 실리콘 기판 위에 습식 식각율이 작은 제1 산화막을 형성하고 선택적으로 식각한 후, 결과물 전면에 습식 식각율이 큰 제2 산화막을 증착한다. 이어서, 실리콘 기판과 제1 산화막 위에 증착된 제2 산화막을 제거하여 제1 산화막의 측벽에만 제2 산화막이 남도록 한 후, 결과물 전면에 습식 식각율이 작은 제3 산화막을 증착한다. 이어서, 제3 산화막을 평탄화하여 제1 산화막과 제2 산화막 위에 증착된 제3 산화막을 제거하고, 제1 산화막과 제3 산화막 사이에 남아 있는 제2 산화막을 습식 식각을 통하여 제거함으로써 스페이스 패턴을 형성한다.

도표

도5

색인어

나노 스페이스 패턴, 산화막 측벽 스페이스, 습식 식각율, 습식 식각 선택비, 에치 백

명세서

도면의 간단한 설명

도 1 내지 도 5는 본 발명의 실시예에 따른 나노 크기의 스페이스 패턴 형성 방법을 나타내는 공정 단면도이다.

<도면의 주요 부분에 대한 부호의 설명>

11: 실리콘 기판 12, 14, 15: 산화막

13: 포토레지스트 16: 스페이스 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 집적회로 소자의 스페이스 패턴 형성 방법에 관한 것으로서, 보다 구체적으로는 반도체 집적회로 소자의 스페이스를 나노(nano) 크기의 미세 패턴으로 형성하는 방법에 관한 것이다.

반도체 집적회로 소자의 배선은 소자의 각 동작 영역들을 서로 연결하여 전기적인 신호를 주고 받을 수 있도록 하는 역할을 한다. 스페이스(space)는 배선을 형성하기 위하여 절연막에 형성되는 공간을 의미한다. 배선을 미세 패턴으로 형성하여 반도체 소자의 집적도를 높이고자 하는 노력은 현재 수십 나노미터의 패턴 폭을 가지는 배선의 제조 기술로 이어지고 있으며, 그 일환으로 나노 크기의 스페이스 패턴 형성 방법이 시도되고 있다.

그러나, 기존의 광학 노광 장비를 이용하고서는 나노 크기의 스페이스 패턴을 구현할 수가 없으며, 가능하다 할지라도 공정 마진이 거의 없는 실정이다. 따라서, 전자빔 노광 장비와 같이 비광학 노광 장비를 이용하여야 하지만, 이는 새로운 노광 장비를 구입하여야 하는 경제적 부담과 노광 공정에 소요되는 시간

이 현저하게 늘어나는 문제 등이 상존하기 때문에 적용하기가 거의 불가능하다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 이러한 증래기술에서의 제반 문제점을 해결하기 위하여 안출된 것으로서, 본 발명의 목적은 기존의 장비를 그대로 이용하여 나노 크기의 스페이스 패턴을 형성할 수 있는 방법을 제공하기 위한 것이다.

발명의 구성 및 작용

이러한 목적을 달성하기 위하여, 본 발명은 산화막의 습식 식각 선택비와 산화막 스페이서를 이용하는 나노 크기의 스페이스 패턴 형성 방법을 제공한다.

본 발명에 따른 나노 크기의 스페이스 패턴 형성 방법은, 실리콘 기판 위에 습식 식각율이 작은 제1 산화막을 형성하는 단계와, 제1 산화막을 선택적으로 식각하는 단계와, 결과를 전면에 습식 식각율이 큰 제2 산화막을 증착하는 단계와, 실리콘 기판과 제1 산화막 위에 증착된 제2 산화막을 제거하여 제1 산화막의 측벽에만 제2 산화막이 남도록 하는 단계와, 결과를 전면에 습식 식각율이 작은 제3 산화막을 증착하는 단계와, 제3 산화막을 평탄화하여 제1 산화막과 제2 산화막 위에 증착된 제3 산화막을 제거하는 단계와, 제1 산화막과 제3 산화막 사이에 남아 있는 제2 산화막을 습식 식각을 통하여 제거하여 스페이스 패턴을 형성하는 단계로 이루어진다.

본 발명에 따른 나노 크기의 스페이스 패턴 형성 방법은 스페이스 패턴에 배선을 형성하는 단계를 더 포함할 수 있으며, 배선은 텅스텐, 구리, 알루미늄 중의 어느 하나로 이루어질 수 있다.

본 발명에 따른 나노 크기의 스페이스 패턴 형성 방법에 있어서, 제1 산화막과 제3 산화막은 열산화 방법에 의하여 형성되는 산화막 또는 고밀도 플라즈마 화학적 기상 증착 방법에 의하여 형성되는 산화막일 수 있으며, 제2 산화막은 플라즈마 강화 화학적 기상 증착 방법에 의하여 형성되는 TEOS 또는 BPSG, SOG, FSG 중의 어느 하나로 이루어질 수 있다. 또한, 실리콘 기판과 제1 산화막 위에 증착된 제2 산화막의 제거 단계는 에치 백 공정에 의하여 이루어질 수 있으며, 제3 산화막의 평탄화 단계는 화학적 기계적 연마 공정에 의하여 이루어질 수 있고, 제1 산화막과 제3 산화막 사이에 남아 있는 제2 산화막의 습식 식각 단계는 불산 또는 BOE 식각액을 사용하여 이루어질 수 있다.

이하, 첨부 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세하게 설명하도록 한다.

도 1 내지 도 5의 공정 단면도는 본 발명의 실시예에 따른 나노 크기의 스페이스 패턴 형성 방법을 도시하고 있다.

먼저, 도 1을 참조하면, 실리콘 기판(11) 위에 제1 산화막(12)을 형성한다. 제1 산화막(12)은 습식 식각율이 가능한 한 작은 물질로 이루어진다. 예를 들어, 열산화(thermal oxidation) 방법에 의하여 형성되는 산화막, 또는 고밀도 플라즈마 화학적 기상 증착(High Density Plasma Chemical Vapor Deposition; HDP-CVD) 방법에 의하여 형성되는 산화막 등이 제1 산화막(12)으로 적당하다. 이어서, 제1 산화막(12) 위에 포토레지스트(13, photoresist)를 도포하여 제1 산화막(12)의 소정 영역을 선택적으로 덮어 씌운 후, 식각 공정을 진행한다.

따라서, 도 2에 도시된 바와 같이, 제1 산화막(12)이 선택적으로 제거되어 실리콘 기판(11)의 일부가 드러난다. 계속해서 포토레지스트를 제거한 후, 결과를 전면에 제2 산화막(14)을 증착한다. 제1 산화막(12)과 달리, 제2 산화막(14)은 습식 식각율이 큰 물질로 이루어진다. 예를 들어, 플라즈마 강화 화학적 기상 증착(Plasma Enhanced Chemical Vapor Deposition; PE-CVD) 방법에 의하여 형성되는 TEOS(Tetra Ethyl Ortho Silicate) 또는 BPSG(Boron Phosphorus Silicate Glass), SOG(Spin On Glass), FSG(Fluorinated Silicate Glass) 등이 제2 산화막(14)으로 적당하다. 이어서, 에치 백(etch back) 공정을 통하여 실리콘 기판(11)과 제1 산화막(12) 위에 증착된 제2 산화막(14)을 제거한다.

따라서, 도 3에 도시된 바와 같이, 제2 산화막(14)은 제1 산화막(12)의 측벽에만 측벽 스페이서(sidewall spacer) 형태로 남게 된다. 이후, 결과를 전면에 제3 산화막(15)을 증착한다. 제3 산화막(15)은 제1 산화막(12)과 마찬가지로 습식 식각율이 작은 물질로 이루어진다. 이어서, 평탄화 과정을 거쳐 제1 산화막(12)과 제2 산화막(14) 위에 증착된 제3 산화막(15)을 제거한다. 평탄화 과정은 예컨대 화학적 기계적 연마(Chemical Mechanical Polishing; CMP) 공정이 이용된다.

결국, 도 4에 도시된 바와 같이, 제1 산화막(12)과 제3 산화막(15) 사이에 미세 패턴의 제2 산화막(14)이 남아 있게 된다. 계속해서, 습식 식각을 통하여 제2 산화막(14)을 제거한다. 습식 식각은 불산(HF) 또는 BOE(Buffered Oxide Etchant) 등의 식각액을 사용한다. 제2 산화막(14)이 제거되는 동안 제1 산화막(12)과 제3 산화막(15)은 습식 식각율이 작기 때문에 거의 식각되지 않고 그대로 남아 있다.

따라서, 도 5에 도시된 바와 같이, 제1 산화막(12)과 제3 산화막(15) 사이에 형성되는 나노 크기의 스페이스 패턴(16)을 얻을 수 있다.

이후, 나노 크기의 스페이스 패턴(16)에 텅스텐, 구리, 알루미늄 등의 금속을 이용하여 나노 크기의 배선을 형성한다.

본 발명의 스페이스 패턴 형성 방법은 듀얼 다마신(dual damascene) 공정 등에도 유용하게 적용할 수 있다.

발명의 효과

이상 설명한 바와 같이, 본 발명에 따른 나노 크기의 스페이스 패턴 형성 방법은 산화막의 습식 식각 선택비를 이용하기 때문에 고가의 비광학 장비를 이용할 필요없이 기존의 광학 장비를 그대로 사용할 수 있

으므로 경제적인 이득을 얻을 수 있다. 또한, 공정 소요 시간 또한 상당히 단축된다.

본 명세서와 도면에는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 자명한 것이다.

(57) 청구의 범위

청구항 1

실리콘 기판 위에 습식 식각율이 작은 제1 산화막을 형성하는 단계;

상기 제1 산화막을 선택적으로 식각하는 단계;

결과물 전면에 습식 식각율이 큰 제2 산화막을 증착하는 단계;

상기 실리콘 기판과 상기 제1 산화막 위에 증착된 상기 제2 산화막을 제거하여 상기 제1 산화막의 측벽에만 상기 제2 산화막이 남도록 하는 단계;

결과물 전면에 습식 식각율이 작은 제3 산화막을 증착하는 단계;

상기 제3 산화막을 평탄화하여 상기 제1 산화막과 상기 제2 산화막 위에 증착된 상기 제3 산화막을 제거하는 단계; 및

상기 제1 산화막과 상기 제3 산화막 사이에 남아 있는 상기 제2 산화막을 습식 식각을 통하여 제거하여 스페이스 패턴을 형성하는 단계를 포함하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 2

제 1 항에 있어서, 상기 스페이스 패턴에 배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 3

제 2 항에 있어서, 상기 배선은 텅스텐, 구리, 알루미늄 중의 어느 하나로 이루어지는 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 4

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서, 상기 제1 산화막과 상기 제3 산화막은 열산화 방법에 의하여 형성되는 산화막 또는 고밀도 플라즈마 화학적 기상 증착 방법에 의하여 형성되는 산화막인 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 5

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서, 상기 제2 산화막은 플라즈마 강화 화학적 기상 증착 방법에 의하여 형성되는 TEOS 또는 BPSG, SOG, FSG 중의 어느 하나로 이루어지는 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 6

제 1 항 내지 제 3 항 중의 어느 한 항에 있어서, 상기 실리콘 기판과 상기 제1 산화막 위에 증착된 상기 제2 산화막의 제거 단계는 에치 백 공정에 의하여 이루어지는 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 7

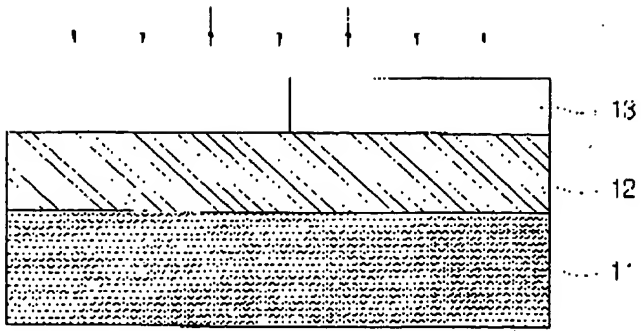
제 1 항 내지 제 3 항 중의 어느 한 항에 있어서, 상기 제3 산화막의 평탄화 단계는 화학적 기계적 연마 공정에 의하여 이루어지는 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

청구항 8

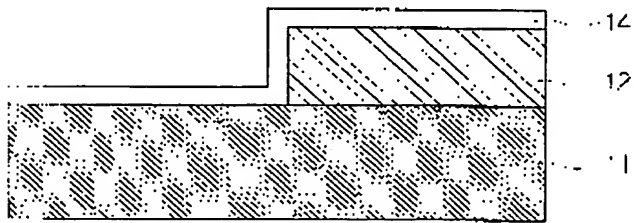
제 1 항 내지 제 3 항 중의 어느 한 항에 있어서, 상기 제1 산화막과 상기 제3 산화막 사이에 남아 있는 상기 제2 산화막의 습식 식각 단계는 불산 또는 BOE 식각액을 사용하여 이루어지는 것을 특징으로 하는 나노 크기의 스페이스 패턴 형성 방법.

도면

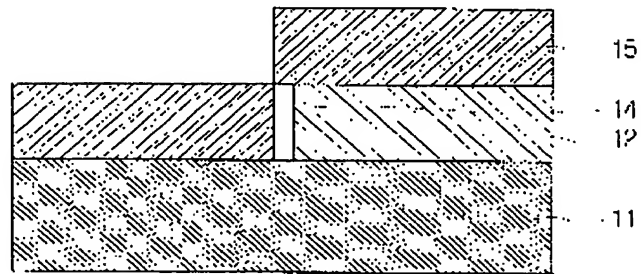
도면 1



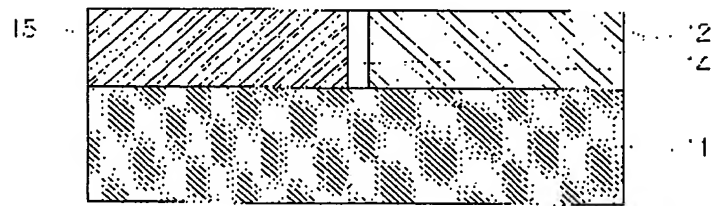
도면 2



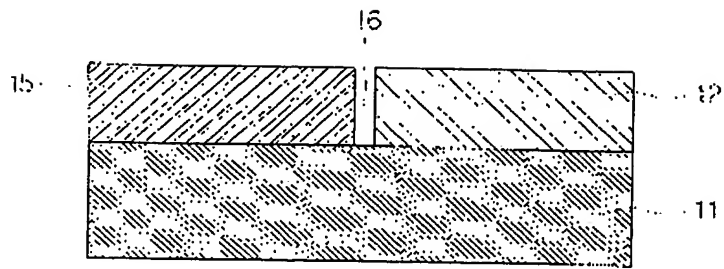
도면 3



도면 4



도 5



BEST AVAILABLE COPY